

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

009560928 ****Image available****

WPI Acc No: 1993-254475/199332

XRAM Acc No: C93-113608

XRPX Acc No: N93-195663

**Mfg. polycrystalline semiconductor thin film - by matching laser beam to
provide intensity distribution with given width and uniformity, and
stripping polycrystalline semiconductor layer having uniform
crystallinity NoAbstract**

Patent Assignee: SHARP KK (SHAF)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5175235	A	19930713	JP 91341672	A	19911225	199332 B

Priority Applications (No Type Date): JP 91341672 A 19911225

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 5175235	A	4	H01L-021/336	
------------	---	---	--------------	--

Title Terms: MANUFACTURE; POLYCRYSTALLINE; SEMICONDUCTOR; THIN; FILM;
MATCH

; LASER; BEAM; INTENSITY; DISTRIBUTE; WIDTH; INIFORM; STRIP;

POLYCRYSTALLINE; SEMICONDUCTOR; LAYER; UNIFORM; CRYSTAL;

NOABSTRACT

Derwent Class: L03; U11; U14

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): H01L-021/20; H01L-021/268;

H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04183535 **Image available**

MANUFACTURE OF POLYCRYSTALLINE SEMICONDUCTOR THIN FILM

PUB. NO.: 05-175235 [JP 5175235 A]

PUBLISHED: July 13, 1993 (19930713)

INVENTOR(s): ODA AKIHIRO
 KOJIMA YOSHIMI
 ITO MASATAKA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 03-341672 [JP 91341672]

FILED: December 25, 1991 (19911225)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-021/20; H01L-021/268

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
 MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 1451, Vol. 17, No. 579, Pg. 108,
 October 21, 1993 (19931021)

ABSTRACT

PURPOSE: To uniformly manufacture thin film transistors of high operating speed with superior throughput, by shaping a laser beam in the manner in which the intensity is constant in the width larger than the width of a thin film transistor row to be formed on a glass substrate, and annealing non-single crystal semiconductor to be in a stripe type having a specified width.

CONSTITUTION: After an SiO(sub 2) film 2 is formed on a glass substrate 1, an a-Si film 3 is formed on the film 2, and an SiO(sub 2). film 4 turning to an antireflection film is formed. The a-Si film 3 is irradiated with Ar ion CW laser, and crystal annealing is performed, thereby forming a poly-Si layer 5. In this process, the laser beam or the substrate 1 is moved, and the part shown by a region 22 is irradiated in a stripe type with the laser beam, thereby obtaining a stripe type poly-Si layer 5. The light beam is shaped by an optical system so as to have constant width and uniform intensity distribution. Thereby a poly-Si TFT having high performance and uniform characteristics can be formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-175235

(43) 公開日 平成5年(1993)7月13日

(51) Int. Cl. ⁵

識別記号

F I

H01L 21/336

29/784

21/20

21/268

9171-4M

B 8617-4M

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数 1 (全4頁)

(21) 出願番号 特願平3-341672

(22) 出願日 平成3年(1991)12月25日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 織田明博

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 小島義己

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 伊藤政隆

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

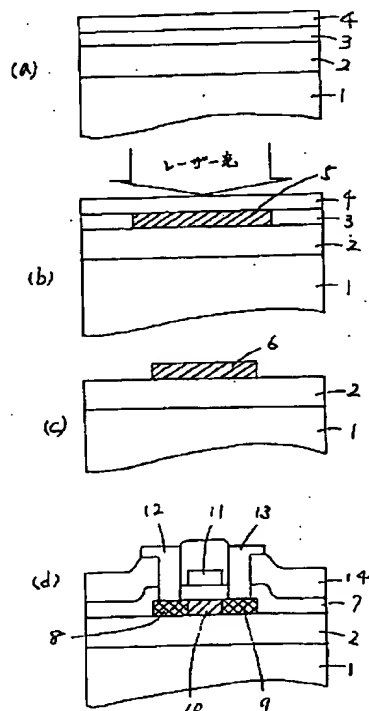
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 多結晶半導体薄膜の製造方法

(57) 【要約】

【目的】 大面積を有するアクティブマトリクス型液晶ディスプレイ等において動作速度の速い薄膜トランジスタを均一に、しかもスループット良く作製する方法を提供することを目的とする。

【構成】 レーザアニール法においてレーザ強度分布を所定の幅で均一になるように整形し、アニールすることによって均一な結晶性を持つストライプ状の多結晶半導体層を得る。またこのストライプ状の多結晶半導体層を必要な場所にだけ形成し、画素部、駆動回路分のトランジスタをこのストライプ内に組み込むことによってスループットも向上する。



【特許請求の範囲】

【請求項 1】 ガラス基板上に形成されたアモルファスシリコン膜に、レーザビームを照射しアニールする多結晶半導体膜の製造方法において、レーザビームはガラス基板上に形成される薄膜トランジスタ列の幅より大きい幅で強度が一定となるように整形され、このレーザビーム、若しくはガラス基板を移動させ、前記非単結晶半導体を所定の幅を持つストライプ状にアニールすることを特徴とする多結晶半導体膜の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、ガラス基板上に一定の幅で均一な特性を有する結晶性の良いシリコン半導体薄膜を製造する方法に関し、特に、このシリコン半導体薄膜を利用して薄膜トランジスタ（以下、TFT）を形成するアクティブマトリックス型液晶ディスプレイに関する。

【 0 0 0 2 】

【従来の技術】 アモルファスシリコン（以下、a-Si）を半導体膜とする薄膜トランジスタ（以下、a-Si TFT）を使用したアクティブマトリックス型液晶ディスプレイが実用されている。このディスプレイ基板にはガラスや石英などの透明基板が使用されているが、特に大面積化するためには、安価なガラス基板が好ましい。

【 0 0 0 3 】 a-Si TFT の形成と同時に駆動回路までもがガラス基板上に TFT で形成しようとされているが、駆動回路は動作速度の速い多結晶シリコン薄膜トランジスタ（以下、poly-Si TFT）を使用する必要がある。

【 0 0 0 4 】 ガラス歪み点温度以下の低温プロセスで TFT の活性層として良好な結晶性を有する多結晶シリコン（以下、poly-Si）層を得るために、レーザビームを利用したアニール処理が従来から行われている。特に、連続発振（CW）レーザを使用する方法としてガラス基板上に、a-Si 層を形成し、この膜に出力数ワットのレーザビームを直径数 10 ～ 数 100 μm に集光して照射し、レーザビーム、若しくは基板を移動させ、幅数 10 μm の間隔で重ね合わせて走査していくことによって、基板全体にアニール処理を行い、a-Si 層を多結晶化する方法が知られている。

【 0 0 0 5 】 しかし、数 10 μm の間隔で重ね合わせて走査し、アニールするためビームを重ね合わせた部分と重ね合わせていない部分とでは結晶性が異なり、ビームが重ね合わせられた部分に形成される TFT と、ビームが重ね合わせられていない部分に形成される TFT は特性が異なるという問題があった。

【 0 0 0 6 】 この問題を解決し、またスループットを向上させるため、TFT の活性層の領域だけレーザアニールする方法が提案されている（M. YUKI, K. MA

SUMO: IEEE Electron Device, vol. 36, No. 9, p. 1934, 1989 参照）。この方法とは幅 30 μm のストライプ状の poly-Si 層をレーザビーム法によって得、その poly-Si 層部分にのみ TFT の活性層を形成することによりビームの重ね合わせの問題とスループットの問題を解決している。

【 0 0 0 7 】

【発明が解決しようとする課題】 しかし、上記の方法により形成した poly-Si 膜は、レーザビームの強度がガウス分布しているため、その強度分布に従って結晶性も分布してしまう。そのため TFT の特性が充分に向上しないという問題があった。レーザビームがガウス分布しているので、2 以上の TFT 列を同時にアニールするためにレーザビームの幅を大きくすると、ますます結晶性の分布も大きくなるという問題がある。

【 0 0 0 8 】 本発明は、この問題を解決するため、少なくとも TFT を形成する領域だけは結晶性が均一な poly-Si 膜を形成し、大面積を有するアクティブマトリックス型液晶ディスプレイ等において動作速度の速い TFT を均一に、しかもスループット良く作製する方法を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】 本発明はレーザビームの走査方向に対して垂直方向に均一な強度分布を有するように光学系を組む。均一な強度分布を有する幅は、TFT よりも大きくされ、好ましくは 2 列以上の TFT 列を含むよう形成される。このレーザビームをガラス基板上に形成した a-Si 膜に照射、アニールし、均一な特性を有するストライプ状の poly-Si 層を形成する。そして、このストライプ状の poly-Si 層内に TFT を作製する。

【 0 0 1 0 】 アクティブマトリックス型液晶ディスプレイを作製する場合、画素と駆動回路のトランジスタの位置を、ストライプ状 poly-Si 層の幅内に納め、不必要な部分のビーム照射は行わない。

【 0 0 1 1 】

【作用】 レーザビームが走査方向に対して垂直方向に均一な強度分布を有しているので、ガラス基板上に形成された a-Si をレーザアニールすると、ガラス基板の熱絶縁性が高いため、均一な強度分布を有するレーザビームの幅に渡ってほぼ均一な特性の結晶性の高いストライプ状の poly-Si 層を得ることができる。

【 0 0 1 2 】 このストライプ状の poly-Si 層が TFT の列に一致するようレーザビームの走査位置を調整する。強度分布が均一であるレーザビームの幅を大きくすると、2 以上の TFT 列を同時にアニールすることができ、スループットの向上が図れる。

【 0 0 1 3 】

【実施例】 本発明をアクティブマトリックス型液晶ディ

スプレイに適用した実施例について図面を参照しながら説明する。

【0014】図1は、ガラス基板上にpoly-Si層をストライプ状に作製し、その後TFTを作製する工程の断面図を示す。

【0015】(a) ガラス基板1上に、膜厚5000Å程度のSiO₂膜2を形成した後、このSiO₂膜2上に、膜厚1000Å程度のa-Si膜3を形成する。更に、このa-Si膜3上に、反射防止膜となるSiO₂膜4を形成する。

【0016】(b) 次に、a-Si膜3に対して、ArイオンCWレーザを照射し、結晶化アニールを行い、poly-Si層5を作製する。このとき図2(a)に示すように、レーザ若しくは基板を移動させることによって領域22に示す部分にストライプ状にレーザを照射し、ストライプ状のpoly-Si層5を得る。

【0017】本発明において、レーザアニールに使用されるレーザ光は、図3に示すような光学系を用いて一定の幅で均一な強度分布を持つよう整形される。Ar'レーザの出力ビーム30はTEM₀₀モードの場合、図3の左端に示すようにガウス分布をしている。

【0018】このビーム30をフレネルのバイプリズム31を用いて2つのビーム35、36に分割する。この2つのビームをレンズ32、33を通して照射面34で重ね合わせる。ビームを照射面上で重ね合わせた時の状態を示したのが、図4である。点線で示したビーム36、37はガウス分布を中央で二分したもので、そのビームをレンズ32、33によって重ね合わせている。レンズ32、33の焦点距離、フレネルのバイプリズム31、レンズ32、33の距離を適切に選ぶことによって、実線41に示すように幅tの範囲で強度が一定となる領域ができる。

【0019】幅tの範囲で強度分布が均一になるためこの範囲でpoly-Siの結晶性を均一にすることができる。幅tの範囲は、レンズ32、33の焦点距離、フレネルのバイプリズム31と、レンズ32、33のそれぞれの距離を組み合わせることによって、レーザパワー10~20W、走査速度20~200mm/sの範囲で150~500μmにすることができる。

【0020】アクティブマトリックス型液晶ディスプレイの画素ピッチは約100μm程度であるから、2列から5列を一度の走査でアニールすることができる。

【0021】図3に示す光学系以外に、2つのガウス分布を有するレーザビームを反射鏡により照射面に図5の分布になるよう重ね合わせれば、均一な強度分布を有するレーザビームが得られる。

【0022】その後、SiO₂膜(4)を除去する。

【0023】(c) 次に、得られたストライプ状のpoly-Si層5をホトリソグラフィによって島状の層6にパターニングする。(図2(b)は図1(c)の平面

図である。)

(d) 以下、通常のプロセスによってTFTを作成する。(図2(c)は図1(d)の平面図である。)

詳細なプロセスの説明は省略するが、次の通りである。島状のpoly-Si層6にソース領域8、ドレイン領域9を形成し、その上にゲート絶縁膜7を積層する。その上にゲート電極11をパターニング形成して、層間絶縁膜14を被覆し、この層間絶縁膜14にスルーホールを開けて、ソース領域8、ドレイン領域9に接触するソース電極12、ドレイン電極13を設ける。

【0024】図1は、1本のストライプ状のpoly-Si層で1行のTFTを作製する例を示したが、図3に示す光学系とレーザの出力を調整することによってストライプ幅を変えることができるので、ストライプの幅を広くして1本のストライプ内に複数行のTFTを作製することもできる。例えば、10inchのLCDの回路構成を、1本の走査線とそれを駆動するための駆動回路を幅60~80μmに収めるように設計すれば、1本のストライプ状のpoly-Si層に1本分の走査線と駆動回路を作製することができる。

【0025】走査線の間隔は150~250μm程度であるから、ストライプ幅を200~350μmにすれば2本分の走査線と駆動回路を1本分のストライプ内に作ることができる。こうすれば、スループットは従来の2倍になる。

【0026】以上のように、強度分布が均一になるように整形したレーザビームを使用してストライプ状のpoly-Si層を得ることにより、高性能なTFTを均一にスループット良く作製することができる。

【0027】上記の方法で得られたTFT特性は、移動度100cm²/Vs、均一性±10%と高性能であった。しかもストライプの幅を広くすることによって、スループットの向上も図れる。このように、ストライプ内に回路を構成することによって効率よくレーザアニールでき、スループットも向上し、高性能で均一な特性を持つTFTを得ることができる。

【0028】

【発明の効果】以上のように、本発明によればガラス基板上に低温プロセスでTFTを作製する方法において、均一な強度分布を持つCWレーザでアニールすることによって、均一な結晶性を持つ活性層となるストライプ状のpoly-Si層を得ることができる。

【0029】このストライプ内にトランジスタを作製するようにマスクを設計することによって、高性能で均一な特性を持つpoly-SiTFTを作製することができる。レーザアニールする場所をLCDの回路部(走査線1本分の画素部の駆動回路部)だけにすることによって、スループットを向上させることができ、駆動回路一体型のLCDを大面積で効率よく作製することができる。

【図面の簡単な説明】

【図 1】本発明の T F T の製造工程を説明する各工程の断面図である。

【図 2】本発明の T F T の製造工程を説明する各工程の平面図である。

【図 3】本発明に使用される光学系の説明図である。

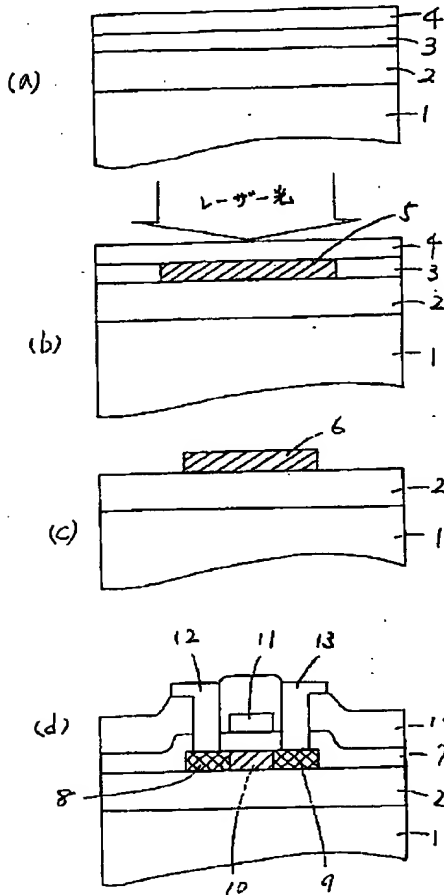
【図 4】照射面上のビーム強度分布図である。

【図 5】第 2 の実施例の光学系の説明図である。

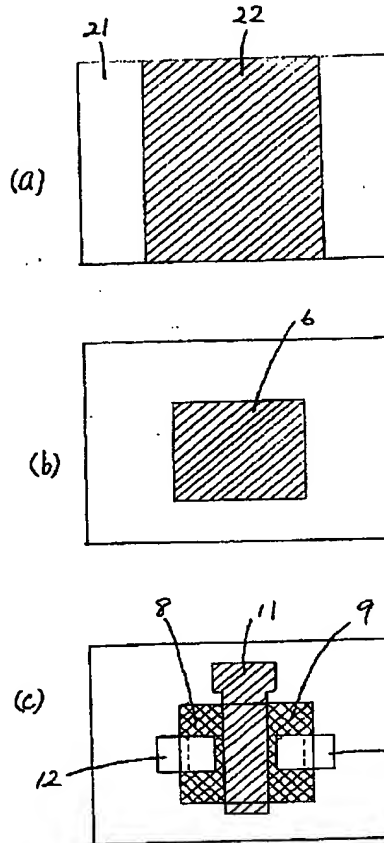
【符号の説明】

- 3 アモルファスシリコン層
- 5 多結晶シリコン層
- 6 島状の多結晶シリコン層
- 8 ソース領域
- 9 ドレイン領域
- 35 レーザビーム
- 36 レーザビーム

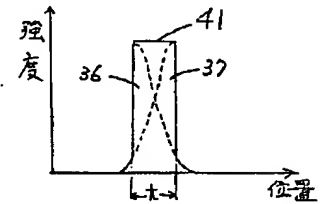
【図 1】



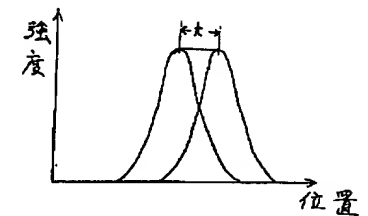
【図 2】



【図 4】



【図 5】



【図 3】

